

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-249613
(43)Date of publication of application : 17.09.1999

(51)Int.Cl. G09G 3/20
G09G 3/20
G09G 3/36
H04N 5/66

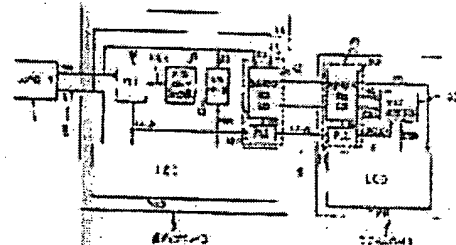
(21)Application number : 10-047279 (71)Applicant : KOMATSU LTD
(22)Date of filing : 27.02.1998 (72)Inventor : TAKEBE SHIN

(54) FLAT DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To transmit a display signal to a distant place and to normally display a picture by executing timedivision multiplex transmission based on a clock signal phasesynchronized with a digital system.

SOLUTION: At the time of receiving a horizontal synchronizing signal HS1 and an enable signal ENB1 by a slave display 5, these signals HS1, ENB1 include turbulence sections. The logically inverted output of the signal HSI is inputted to the clock terminal of a flip flop(FF) in a mask processing circuit 30 and an output signal MASH is turned to 'L' when the signal HS1 falls. Since the logically inverted output of an output from a counter is inputted to the set terminal of the FF, the output signal MASH is turned to 'H' when the output of the counter rises. An AND circuit in the circuit 30 masks the enable signal ENB1 by the mask signal MASH to remove a signal turbulence section from the signal ENB1 and outputs an enable signal ENB2 free from signal turbulence to an LCD 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

BEST AVAILABLE COPY

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-249613

(43)公開日 平成11年(1999) 9月17日

(51)Int.Cl.^a
G 0 9 G 3/20
3/36
H 0 4 N 5/66

識別記号
6 1 2
6 3 3

F I
G 0 9 G 3/20 6 1 2 J
3/36 6 3 3 D
H 0 4 N 5/66 B

審査請求 未請求 請求項の数1 OL (全 7 頁)

(21)出願番号 特願平10-47279

(22)出願日 平成10年(1998) 2月27日

(71)出願人 000001236

株式会社小松製作所
東京都港区赤坂二丁目3番6号

(72)発明者 武部 慎

神奈川県平塚市四之宮2597 株式会社小松
製作所エレクトロニクス事業本部内

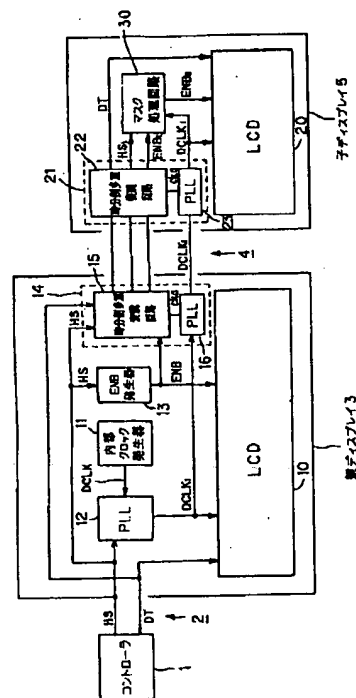
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 フラットディスプレイ表示装置

(57)【要約】

【課題】デジタル系の位相同期を行ったクロック信号に基づく時分割多重伝送を行うことで、距離の離れた場所に表示信号を伝送しこれを表示するようにした表示装置において、画像を正常に表示できるようにする。

【解決手段】水平同期信号HS1に基づいてイネーブル信号ENB1の信号乱れ区間をマスク処理するマスク信号を形成し、このマスク信号を用いてイネーブル信号ENB1の信号乱れ区間を除去し、この信号乱れ区間が除去されたイネーブル信号ENB2を用いてフラットディスプレイ20の表示制御を行う。



【特許請求の範囲】

【請求項1】所定周期の内部クロック信号を発生するクロック発生手段と、
前記内部クロック信号の位相を外部より入力される水平同期信号の位相に合わせる第1の位相同期回路と、
外部より入力された表示同期信号に基づいて画像データの表示期間の間有効になるイネーブル信号を形成するイネーブル信号形成手段と、
前記第1の位相同期回路から出力される内部クロック信号の位相に同期させた変調用クロック信号を発生する第2の位相同期回路、この第2の位相同期回路から発生される変調用クロック信号に基づいて入力された表示データ、水平同期信号および前記イネーブル信号を時分割多重データに変調する変調回路および前記第1の位相同期回路から出力される内部クロック信号および前記変調された時分割多重データを送信する送信部を有する送信回路と、
前記送信回路からの前記内部クロック信号および前記時分割多重データを受信する受信部と、この受信した内部クロック信号の位相に同期させた復調用クロック信号を発生させる第3の位相同期回路およびこの第3の位相同期回路から発生される復調用クロック信号に基づいて受信された時分割多重データを元の表示データ、水平同期信号および前記イネーブル信号に復調する復調回路を有する受信回路と、
この受信回路から出力された水平同期信号に基づいて、水平同期信号の前縁部に応答してオンになり、当該水平同期信号の後縁部より後の時点であってかつ当該水平同期信号と同じライン周期のイネーブル信号の前縁より前の時点にオフになるマスク信号を形成するマスク信号形成手段と、
前記受信回路から出力される前記イネーブル信号を前記マスク信号に基づいてマスク処理することにより前記イネーブル信号からマスク信号のオン期間に対応する信号部分を除去するマスク処理手段と、
前記受信回路から出力される内部クロック信号および表示データと前記マスク処理手段から出力されるイネーブル信号に基づいて所定の表示動作を実行するフラットディスプレイと、
を具えるようにしたことを特徴とするフラットディスプレイ表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、LDVSなどの時分割多重方式を用いて表示信号を伝送して液晶ディスプレイなどのフラットディスプレイに表示するフラットディスプレイ表示装置に関し、特にデジタル位相同期処理によってひげ、ジッタなどが混入した表示用クロック信号を用いて時分割多重伝送を行う際の、表示同期信号を受信側で復調できないことを原因としたフラットディ

スプレイでの表示不良を解消するための改良に関する。

【0002】

【従来の技術】工場などに配置される設備機器においては、機器の表側と裏側などの複数箇所に液晶ディスプレイなどのフラット表示器を配置し、これら複数の箇所に配置した各表示器に各種のメッセージ、操作案内など、同じ表示内容を表示する場合が多々ある。

【0003】このようなシステムにおいては、メインコントローラから上記各表示器に表示画像データ、表示同期信号などの表示信号を伝送することになるが、通常、これら機器間の距離は大きく離れていることが多い。このためこの種のシステムでは、LDVS規格（LOW VOLTAGE DIFFERENTIAL SIGNALLING）などの時分割多重によるデータ伝送を用いて表示信号を伝送することで、多くのビット数からなる表示信号を少ない信号線で、低消費電力で、高速にデータ転送をなし得るようにしている。

【0004】図4に上記LVDS方式を用いた従来の画像表示システムを示す。

【0005】この画像表示システムは、コントローラ1に信号ケーブル2を介して親ディスプレイ装置3が接続され、この親ディスプレイ装置3に信号ケーブル4を介して子ディスプレイ装置5が接続される構成となっている。

【0006】コントローラ1からは、RGBのカラー画像データDT、水平同期信号HS、垂直同期信号VSが親ディスプレイ3に送信される。

【0007】親ディスプレイ装置3では、内部クロック発生器11で、親ディスプレイ装置3の液晶表示装置（以下LCDという）10および子ディスプレイ5のLCD20に対する表示用の内部クロック信号DCLKを発生する。位相同期回路（以下PLL回路という）12は、デジタル処理によって位相同期が行われるもので、内部クロック信号DCLKの位相をコントローラ1から入力された水平同期信号HSの位相に合わせる位相同期制御を実行する。すなわち、例えば、内部クロック信号DCLKの位相を水平同期信号の前縁部（例えば立下がり）に合わせる位相同期制御が行われる。ENB発生器13は、コントローラ1から入力された水平同期信号HS等に基づいて画像データを実際に表示する期間を示すイネーブル信号ENBを形成する。親ディスプレイ3のLCD10は、入力された水平同期信号HS、垂直同期信号VS、イネーブル信号ENB、内部クロック信号DCLK1、カラー画像データDTを用いて表示動作を実行する。

【0008】一方、親ディスプレイ装置3には、子ディスプレイ装置5での表示のために必要な表示信号を子ディスプレイ装置5に高速伝送するために、LVDS規格による時分割多重送信用のIC14が搭載されており、このIC14は、時分割多重変調回路15、PLL回路16で構成されている。PLL回路16は、入力された内部クロック信号DCLK1の位相に同期させた高速変調用

クロック信号(DCLK信号のN倍の周波数)CKaを発生し、この発生したクロック信号CKaを時分割多重変調回路15に入力するとともに、PLL回路12から入力された内部クロック信号DCLK1を子ディスプレイ5への信号ケーブル4上へ送信する。時分割多重変調回路15は、入力された変調クロック信号CKaに基づいて入力された表示データDT、水平同期信号HS、垂直同期信号VSおよびイネーブル信号ENBを時分割多重データに変調し、この変調データの子ディスプレイ5への信号ケーブル4上へ送信する。

【0009】子ディスプレイ装置5には、上記時分割多重データを元の信号に復調するための時分割多重受信のIC21が搭載されており、このIC21は、時分割多重復調回路22、PLL回路23で構成されている。PLL回路23は、入力された内部クロック信号DCLK1の位相に同期させた復調クロック信号(DCLK1信号のN倍の周波数)CKaを発生し、この発生したクロック信号CKaを時分割多重復調回路22に入力するとともに、受信された内部クロック信号DCLK1を子ディスプレイ5のLCD20に入力する。時分割多重復調回路22は、入力された復調クロック信号CKaに基づいて受信された時分割多重データを元の表示データDT、水平同期信号HS、垂直同期信号VSおよびイネーブル信号ENBに復調し、この復調されたデータの子ディスプレイ5のLCD20に入力する。

【0010】子ディスプレイ5のLCD20は、入力された水平同期信号HS、垂直同期信号VS、イネーブル信号ENB、内部クロック信号DCLK1、カラー画像データDTを用いて表示動作を実行する。これにより、親および子ディスプレイ3、5の各LCD10、20に同じ表示画像を同時に表示させることができる。

【0011】

【発明が解決しようとする課題】しかしながら、上述した画像表示システムでは、PLL回路12で内部クロック信号DCLKの位相を水平同期信号HSの位相に(前縁部に)合わせる際に、内部クロック信号DCLKにジッタ(位相変位)が発生したり、クロックの変わり目でひげが発生したり、クロックの不連続な状態が発生する場合がある。

【0012】ところが、この画像表示システムでは、送信用IC14及び受信用IC21においては、PLL回路16および23において、ジッタ、ひげなどが発生した内部クロック信号DCLK1に位相同期させた変調および復調クロック信号CKaを形成し、これら形成したクロック信号CKaを用いて該クロック信号CKaに同期させた時分割多重変調及び復調処理を行うようにしているので、受信用IC21から出力される水平同期信号HSやイネーブル信号ENBにおいて、水平同期信号HSが有効となった時点(例えば立下がり時点)から少しの間、H、Lがでたらめになる乱れ期間が発生し、この結果、親ディ

スプレイ3側で表示されている画像が、子ディスプレイ5側のLCD20で全く表示されないという問題が発生した。

【0013】すなわち、このシステムでは、PLL回路12から出力されるジッタやひげが発生している内部クロック信号を基準に、PLL回路16、23で2回、3回と位相同期が行われるようになっていたためその同期が外れる場合があり、この同期が外れたクロック信号に基づいて時分割多重変調及び復調処理が行われるようになっていたので、水平同期信号HSやイネーブル信号ENBに乱れ期間が生じるものと考えられる。

【0014】なお、子ディスプレイ装置5側の水平同期信号HSおよびイネーブル信号ENBに発生する信号の乱れは、PLL回路12では内部クロック信号DCLKの位相を水平同期信号HSの前縁部(Lが有効な場合は立下がり)で合わせるようにしているので、前述したように、水平同期信号HSの立下がり時点から少しの間だけ発生し、イネーブル信号ENBの有効期間であるデータ表示区間中には発生しない。

【0015】このような問題に対し、従来は、時分割多重化を行うLVDSデータ送受信用IC14、21の他に、時分割多重化を行わない別の送受信ICを用意し、これらのICを用いてイネーブル信号ENB、水平同期信号HSなどの表示用同期信号を子ディスプレイ5に送るという対策が講じられていた。

【0016】しかし、この従来手法によれば、水平同期信号HSおよびイネーブル信号ENBを伝送するICと画像データやクロック信号を伝送するICを別にしていて、これら各IC間の信号伝送時間や信号遅延時間の差がばらつくことによって、両ICの信号にタイミングのズレが発生し、子ディスプレイ5において適正な表示動作をなし得ないという問題がある。

【0017】本発明はこのような実状に鑑みてなされたものであり、デジタル系の位相同期を行ったクロック信号による時分割多重伝送を行うことで、距離の離れた場所に表示信号を伝送しこれを表示する当たって、画像を正常に表示できるようにしたフラットディスプレイ表示装置を提供することを目的とする。

【0018】

【課題を解決するための手段及び作用効果】そこで、本発明では、所定周期の内部クロック信号を発生するクロック発生手段と、前記内部クロック信号の位相を外部より入力される水平同期信号の位相に合わせる第1の位相同期回路と、外部より入力された表示同期信号に基づいて画像データの表示期間の間有効になるイネーブル信号を形成するイネーブル信号形成手段と、前記第1の位相同期回路から出力される内部クロック信号の位相に同期させた変調クロック信号を発生する第2の位相同期回路、この第2の位相同期回路から発生される変調クロック信号に基づいて入力された表示データ、水平同期信

号および前記イネーブル信号を時分割多重データに変調する変調回路および前記第1の位相同期回路から出力される内部クロック信号および前記変調された時分割多重データを送信する送信部を有する送信回路と、前記送信回路からの前記内部クロック信号および前記時分割多重データを受信する受信部と、この受信した内部クロック信号の位相に同期させた復調用クロック信号を発生させる第3の位相同期回路およびこの第3の位相同期回路から発生される復調用クロック信号に基づいて受信された時分割多重データを元の表示データ、水平同期信号および前記イネーブル信号に復調する復調回路を有する受信回路と、この受信回路から出力された水平同期信号に基づいて、水平同期信号の前縁部に応答してオンになり、当該水平同期信号の後縁部より後の時点であってかつ当該水平同期信号と同じライン周期のイネーブル信号の前縁より前の時点にオフになるマスク信号を形成するマスク信号形成手段と、前記受信回路から出力される前記イネーブル信号を前記マスク信号に基づいてマスク処理することにより前記イネーブル信号からマスク信号のオン期間に対応する信号部分を除去するマスク処理手段と、前記受信回路から出力される内部クロック信号および表示データと前記マスク処理手段から出力されるイネーブル信号に基づいて所定の表示動作を実行するフラットディスプレイとを具えるようにしている。

【0019】この発明は、イネーブル信号のみを表示同期信号として用いて表示動作の可能なフラットディスプレイに適用することができる。すなわち、最近の液晶表示装置などのフラットディスプレイにおいては、水平同期信号および垂直同期信号を用いずに、イネーブル信号だけを同期信号として用いて表示動作を行うことができる機種が多くあり、本発明はこのような機種のフラットディスプレイに適用することができる。

【0020】すなわち、前述したように、イネーブル信号に発生する信号の乱れは、水平同期信号の前縁部（例えば立下がり時点）から少しの間だけ発生し、イネーブル信号の有効期間であるデータ表示区間中には発生しない。また、水平同期信号には、前縁部（例えば立下がり時点）から少しの間だけ信号の乱れが発生するのであるが、水平同期信号の前縁部の時間タイミングにはズレはない。すなわち、水平同期信号の前縁部自体のタイミングは正常に対し変化はない。

【0021】この発明は、このような点に着目してなされたもので、上記乱れ区間を含む水平同期信号に基づいて、水平同期信号の前縁部に応答してオンになり、当該水平同期信号の後縁部より後の時点であってかつイネーブル信号の前縁より前の時点にオフになるマスク信号を形成し、このマスク信号を用いて乱れ区間を含むイネーブル信号からマスク信号のオン期間に対応する信号部分を除去することにより、イネーブル信号の乱れ区間を消去し、この乱れ区間が消去されたイネーブル信号を同期

信号として用いてフラットディスプレイの表示動作を行うようにしているおり、これにより時分割多重方式を用いて距離の離れた場所に表示信号を伝送しこれを表示するようにした場合においても、画像を正常かつ安定に表示することができるようになる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0023】図1に、本発明の画像表示システムのブロック図を示す。また図2は、図1のデータ送信用IC、データ受信用IC21およびマスク処理回路30の内部構成を示すものである。

【0024】この画像表示システムのLCD10およびLCD20は、イネーブル信号ENBのみを表示同期信号として用いて表示動作の可能なものであり、表示の際に水平同期信号HSおよび垂直同期信号VSは用いない。

【0025】すなわち、このシステムにおいては、マスク処理回路30において、前述した乱れ区間を含む水平同期信号HS1およびイネーブル信号ENB1を用いて、信号乱れ区間を含むイネーブル信号ENB1から信号乱れ区間を消去し、この信号乱れ区間が消去されたイネーブル信号ENB2を同期信号として用いてLCD20の表示動作を行うようにしている。

【0026】以下、各部の構成及び作用に関し詳述する。

【0027】コントローラ1からは、RGBのカラー画像データDT、水平同期信号HSが親ディスプレイ装置3に送信される。

【0028】親ディスプレイ装置3では、内部クロック発生器11で、親ディスプレイ装置3の液晶表示装置（以下LCDという）10および子ディスプレイ5のLCD20に対する表示用の内部クロック信号DCLKを発生する。位相同期回路（以下PLL回路という）12は、デジタル処理によって内部クロック信号DCLKの位相をコントローラ1から入力された水平同期信号HSの位相（立下がり）に合わせる位相同期制御を実行し、その出力DCLK1をLCD10およびPLL回路16に入力する。ENB発生器13は、コントローラ1から入力された水平同期信号HSに基づいて画像データを実際に表示する期間を示すイネーブル信号ENBを形成する。親ディスプレイ3のLCD10は、入力されたイネーブル信号ENB、内部クロック信号DCLK1、カラー画像データDTを用いて表示動作を実行する。

【0029】LVDS規格による時分割多重送信用のIC14は、時分割多重変調回路15、PLL回路16およびドライバー回路31で構成されている。PLL回路16は、入力された内部クロック信号DCLK1の位相に同期させた高速変調用クロック信号（DCLK信号のN倍の周波数）CKaを発生し、この発生したクロック信号CKaを時分割多重変調回路15に入力するとともに、PLL回路

12から入力された内部クロック信号DCLK1をドライバー回路31を介して子ディスプレイ装置5への信号ケーブル4上へ送信する。時分割多重変調回路15は、入力された変調用クロック信号CKaに基づいて入力されたRGBのカラー表示データDT、水平同期信号HSおよびイネーブル信号ENBを時分割多重データに変調し、この変調データをドライバー回路32を介して子ディスプレイ装置5への信号ケーブル4上へ送信する。

【0030】子ディスプレイ装置5に搭載された時分割多重受信用のIC21は、レシーバ回路32、時分割多重復調回路22、PLL回路23で構成されている。PLL回路23は、入力された内部クロック信号DCLK1の位相に同期させた復調用クロック信号(DCLK1信号のN倍の周波数)CKaを発生し、この発生したクロック信号CKaを時分割多重復調回路22に入力するとともに、受信された内部クロック信号DCLK1を子ディスプレイ5のLCD20およびマスク処理回路30に出力する。時分割多重復調回路22は、入力された復調用クロック信号CKaに基づいて受信された時分割多重データを元のRGBのカラー表示データDT、水平同期信号HS1およびイネーブル信号ENB1に復調し、この復調された表示データDTを子ディスプレイ5のLCD20に入力するとともに、水平同期信号HS1およびイネーブル信号ENB1をマスク処理回路30に入力する。

【0031】マスク処理回路30は、図2に示すように、水平同期信号HS1を反転出力するインバータ40と、反転された水平同期信号HS1₁(論理反転記号を₁で略記する)がリセット端子に入力され、内部クロック信号DCLK1に従ったカウント動作を実行するカウンタ41と、カウンタ41の1ビット出力Qnを反転出力するインバータ42と、インバータ42の出力Qn₁がセット端子に入力され、データ端子が接地され、水平同期信号HS1₁がクロック端子に入力されたフリップフロップ43と、フリップフロップ43から出力されるマスク信号MASKとイネーブル信号ENB1との論理積をとり、その出力ENB2をLCD20に出力するアンドゲート44とを備えている。

【0032】次にマスク処理回路30の動作について図3のタイミングチャートを参照して説明する。

【0033】ここで、図3(a)に示すように、時分割多重変調回路15に入力される前の水平同期信号HSには、信号乱れ区間は発生していない。しかし、図3(b)(c)に示すように、子ディスプレイ5側で受信された段階での水平同期信号HS1およびイネーブル信号ENB1は、前述した理由によって、乱れ区間を含んでいる。これらの乱れ区間は、前述したように、水平同期信号HS1の立下がり時点(前縁部)から少しの間だけ発生し、イネーブル信号ENB1の有効期間であるデータ表示区間中には発生しない。また、水平同期信号HS1の最初の立下がり時点にはタイミングのずれはなく、正常状態に対して変化

はない。

【0034】このような現象が、マスク処理回路30でのマスク処理を行う上での前提である。

【0035】マスク処理回路30のフリップフロップ43のクロック端子には、水平同期信号HS1の論理反転出力が入力され、データ端子は設置されているため、フリップフロップ43の出力信号MASKは、水平同期信号HS1が立下がった時点で「L(ロー)」に立ち下がる(図3(e)、時刻t1)。

【0036】一方、カウンタ41は、水平同期信号HS1の立下がり時点でリセットされるが、その後水平同期信号HS1の信号乱れ区間には信号が立下がる状態が何度も存在するので、これに伴ってカウンタ41は何回もリセットされる。したがって、カウンタ41は、乱れ区間が終了した時点で、クロック信号DCLK1に従った本来のカウント動作を開始する。カウンタ41は、その本来のnビットの出力のうちの1ビットQnを選択してその出力とするようにしており、またその出力Qnはカウント開始時点からイネーブル信号ENB1が真に「H(ハイ)」になる時点tbより前の時点t2にその出力が立ち上がるものを選択するようにしており、このためカウンタ41の出力は時刻t2において立ち上がる。

【0037】フリップフロップ43のセット端子には、カウンタ41の出力の論理反転出力が入力されているため、フリップフロップ43の出力信号MASKは、カウンタ41の出力が立ち上がった時刻t2において、「H」に立ち上がる。

【0038】このようにして、フリップフロップ43からは、水平同期信号HS1の立下がり時点t1で「L」に立下がり、その後カウンタ41の出力Qnが「H」になることによってイネーブル信号ENB1のデータ表示期間が開始される時点tbより前の時点t2にその出力が「H」に立ち上がるマスク信号が出力される。

【0039】マスク処理回路30のアンド回路44では、このマスク信号MASKによって信号乱れ区間が含まれるイネーブル信号ENB1をマスク処理するようにしており、これによりアンド回路44から出力されるイネーブル信号ENB2からは、信号乱れ区間が取り除かれることになる。

【0040】なお、信号の乱れ区間よりも、カウンタ41が最終的にリセットされてからその出力Qnが「H」に立ち上がるまでの期間tQのほうが長ければ、LCD20での表示は確実に行うことができる。

【0041】このように、この実施形態では、水平同期信号HS1の立下がりから水平バックボーチの中程または後半の期間まで「L」であるマスク信号MASKを用いてイネーブル信号ENB1の信号乱れ区間をマスクして取り除き、信号乱れないイネーブル信号ENB2をLCD20に出力するようにしている。したがって、LCD20においては、正常な表示動作が可能になる。

【0042】なお、上記実施形態において、フリップフロップ43の出力の立下がり時点をを用いるなどして水平同期信号HS1の最初の立下がり時点を捉え、この水平同期信号HS1の最初の立下がり時点からカウンタ41にカウント動作を開始させるようにしてもよい。

【0043】また上記実施形態では、親子のディスプレイに同じデータ同時刻に表示される場合について示したが、時分割多重方式を用いて距離の離れた場所に表示信号を伝送しこれを表示するようにシステムに本発明を適用するようにしてもよい。

【0044】また、マスク処理回路30に関しては、上記した実施形態に示したものと同等の機能が達成されるものであれば、他の任意の回路構成を採用するようにしてもよい。

【図面の簡単な説明】

【図1】本発明の実施形態を示すブロック図である。

【図2】本発明の実施形態の要部の内部構成を示す図である。

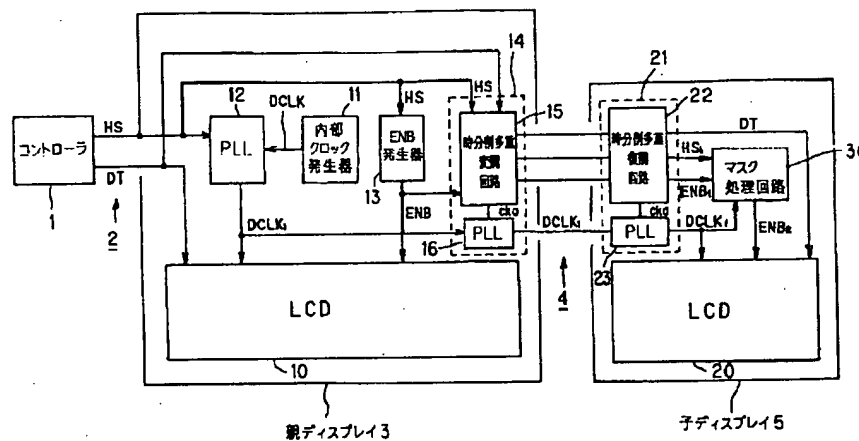
【図3】マスク処理回路内の各種信号のタイミングチャートである。

【図4】従来の画像表示システムを示すブロック図である。

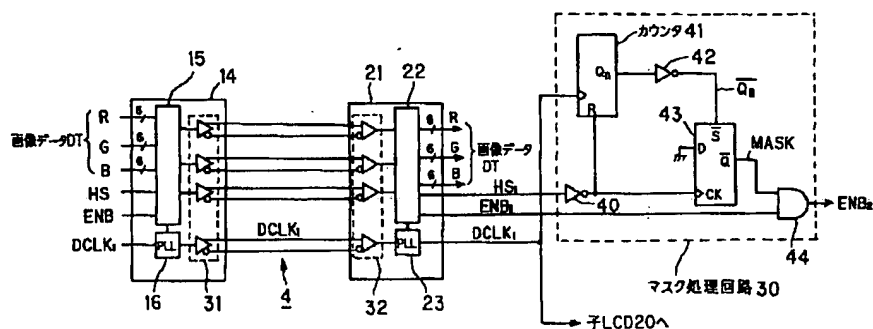
【符号の説明】

- 1…コントローラ 3…親ディスプレイ 5…子ディスプレイ
2、4…信号ケーブル 10、20…LCD 11…内部クロック発生器
13…ENB発生器 15…時分割多重変調回路
22…時分割多重復調回路 30…マスク処理回路

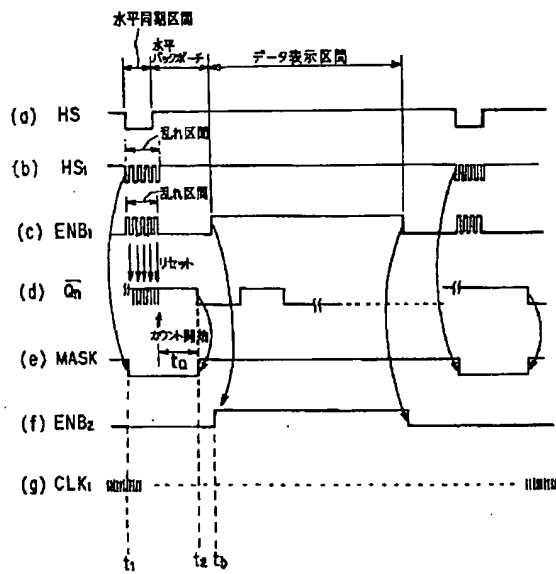
【図1】



【図2】



【図3】



【図4】

